

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-135720

(43)Date of publication of application : 21.05.1999

(51)Int.Cl.

H01L 27/04  
H01L 21/822

(21)Application number : 09-298924

(71)Applicant : NEC CORP

(22)Date of filing : 30.10.1997

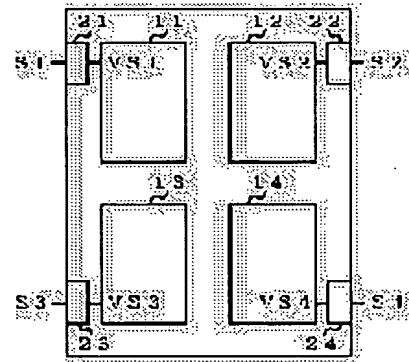
(72)Inventor : KINOSHITA MASAOKI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

## (57)Abstract:

PROBLEM TO BE SOLVED: To stabilize potential of a substrate and to suppress generation of an abnormal current when a power supply is turned ON, by dividing a well into a plurality of sub-wells or a plurality of sub-well groups.

SOLUTION: A semiconductor integrated circuit has P-type P wells 11-14 which are obtained by dividing a well for holding, e.g. the substrate potential of the circuit element on a semiconductor substrate, and substrate-voltage generating circuits (BBG) 21-24 which are respectively provided for the P wells 11-14 and selectively control the respective wells. For example, a large current and a high-speed circuit operating part of the P well 11 are fully operated, and the other P wells 12-14 are almost not operated. In this case, the current supply capability of the substrate potential VS1 of the BBG 21, which supplies the substrate potential of the P well, is increased, and the fluctuation of the substrate potential in the P well 11 is suppressed. Since there is no well-potential fluctuation in the P wells 12-14, the consumption currents of these BBGs 22-24 can be suppressed by decreasing the current-supply capabilities of the well potentials VS2-VS4.



## LEGAL STATUS

[Date of request for examination] 30.10.1997

[Date of sending the examiner's decision of rejection] 16.10.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-135720

(43) 公開日 平成11年(1999) 5月21日

(51) Int.Cl.<sup>8</sup>

H 0 1 L 27/04  
21/822

識別記号

F I

H 0 1 L 27/04

C

審査請求 有 請求項の数 6 O L (全 5 頁)

(21) 出願番号 特願平9-298924

(22) 出願日 平成9年(1997)10月30日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 木下 雅章

東京都港区芝五丁目7番1号 日本電気株式会社内

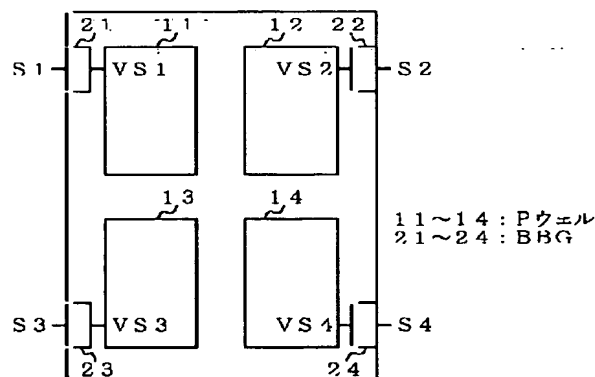
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】基板電位を安定化するとともに電源投入時における異常電流の発生を抑圧する。

【解決手段】ウェルを4つのPウェル11~14に分割し、これらPウェル11~14の各々がBBG21~24の各々をそれぞれ備える。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 チップ上にこのチップに供給される第1の電源の電圧とは別の基板電位を発生する基板電位発生回路と、前記基板電位の供給を受けてこの基板電位に保持され内部に所定の回路ブロックが形成されたウェルとを形成して成る半導体集積回路において、前記ウェルを複数のサブウェル又は複数のサブウェル群に分割し、この分割された複数のサブウェル又は複数のサブウェル群の各々毎に前記基板電位発生回路を備えることを特徴とする半導体集積回路。

【請求項2】 前記サブウェルの各々が1個の前記基板電位発生回路を備えることを特徴とする請求項1記載の半導体集積回路。

【請求項3】 前記サブウェルの各々が少なくとも2個の前記基板電位発生回路を備えることを特徴とする請求項1記載の半導体集積回路。

【請求項4】 前記サブウェル群の各々が少なくとも2個の前記サブウェルから成り少なくとも1個の前記基板電位発生回路を備えることを特徴とする請求項1記載の半導体集積回路。

【請求項5】 複数の前記基板電位発生回路の各々の前記基板電位の供給能力が、それぞれ独立に制御されることを特徴とする請求項1記載の半導体集積回路。

【請求項6】 複数の前記基板電位発生回路が、第1の導電型の半導体基板上に形成されドレインとゲートとを共通接続しドレインから前記基板電位を出力する第2の導電型の第1のトランジスタと、

ドレインとゲートとを共通接続しドレインを前記第1のトランジスタのソースにソースを第2の電源の電位にそれぞれ接続しゲートにコンデンサを経由して交流の基板電位駆動信号の供給を受ける第2の導電型の第2のトランジスタを備え、

前記基板電位駆動信号の周波数を可変して前記基板電位の供給能力を制御することを特徴とする請求項5記載の半導体集積回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体集積回路に関し、特にダイナミックRAM(DRAM)等の基板電位発生回路を有する半導体集積回路に関する。

【0002】

【従来の技術】半導体集積回路では、基板電位発生回路(以下BBG)は一般的に広く用いられている。特にDRAMでは、入力電位のアンダーシュートからメモリセルを保護したり、基板のPN接合の容量の低減等において重要な役割を果たしている。このBBGは、チップに供給される電源電圧を受け、この電源電圧とは別の基板電圧を発生し、その基板電圧を半導体基体(以下基板)に印加するものである。

【0003】従来、通常BBGは、チップ内で1個のみ

設けられていた。このBBGが1個のみの従来の第1の半導体集積回路でも、BBGの基板電流汲み出し能力が十分大きければ、定常的にはRAMの動作時にRAM全体から発生し基板に注入されるキャリアすなわち基板電流を吸い上げ、この基板電流による基板の電位変動を抑圧できる。

【0004】一般的なBBGの一例を回路図で示す図5を参照すると、このBBGはP型基板上に形成したNチャネルMOSトランジスタから成り、ドレインとゲートとを共通接続しドレインから基板電位VSを出力するトランジスタQ1と、ドレインとゲートとを共通接続しドレインをトランジスタQ1のソースにソースを接地電位にそれぞれ接続しゲートにコンデンサC1を経由して交流の基板電位駆動信号Sの供給を受けるトランジスタQ2を備える。

【0005】動作について説明すると、この回路は出力の負荷である基板容量C2を含む公知の倍電圧整流回路であり、出力の基板電位VSの電流供給能力は基板電位駆動信号Sの周波数にほぼ比例する。

【0006】しかし、近年のDRAMの大容量化、高速化に伴い、DRAM内のトランジスタはより大容量をより高速に駆動する必要がある、個々のトランジスタの電流駆動能力は増大化してきている。その結果、半導体集積回路チップ全体として、大電流が流れ、に注入されるキャリア、すなわち、基板電流も増加する。さらに、チップ面積も増大するため、基板抵抗も増大し、BBG回路から遠く離れた領域では、この領域内の回路の動作時に、基板に注入されたキャリアが基板の抵抗分を介してBBG回路に汲み上げられるまで、この抵抗分と基板の容量とから成る時定数に起因する時間遅れを生じる。

【0007】この時間遅れは、上記遠隔領域の基板電位あるいはウェル電位のBBGによる設定値からの過渡的局所的な変動を発生させ、エンハンス型トランジスタがバックゲートバイアス効果によるディプレッション化し回路の正常動作が不能となることによりこの領域内の回路を誤動作させたり、あるいはBBG動作時のホットエレクトロン発生に起因するBBG近傍でのメモリセルのデータの破壊を生じさせるという問題があった。

【0008】これらに対する対策として、特開平3-21052号公報(文献1)、あるいは特開平1-278059号公報(文献2)記載の従来の第2の半導体集積回路は、BBGを複数台配置することによって、上記の不具合を防止するというものであった。

【0009】このように、BBGを複数台配置しておけば、BBGからウェル電位の変動の発生する場所までの距離は短くて済むので、基板電位の変動は起こりにくく、かつ分割した各BBGの1台あたりの能力も低くて済み、各BBGで発生するホットエレクトロンの発生も抑えられるので、メモリセルのデータの破壊も抑圧出来る。

【0010】しかし、上述の従来の第2の半導体集積回路では、チップ内での基板電位が共通なので、メモリの大容量化、大面積化および回路動作の高速化に伴い、BBGを複数に増やしても、回路動作の激しいすなわち駆動電流が大きく動作が高速の部分の局所的かつ過渡的な基板電位の変動が起こりやすい。

【0011】さらに、場合によってはこの変動に対して、複数のBBGが一斉に動作を始め、消費電流の増加や、各BBGでのホットエレクトロンの発生によるメモリセルのデータ破壊の可能性は依然として存在する。

【0012】またチップの大面積化に伴い、基板の容量C、抵抗Rが大きくなり時定数が増大するため、電源投入時に基板の時定数により基板電位の設定までの時間がかかり、基板電位が定まらないうちにチップが動作状態に入ると、基板に向かって異常電流が流れ込み、したがって基板電位が上昇し、ラッチアップが起こる可能性がある。

【0013】

【発明が解決しようとする課題】上述した従来の第1の半導体集積回路は、基板電位発生回路(BBG)が1個しかなく、BBGからの遠隔領域の基板電位あるいはウェル電位のBBGによる設定値からの過渡的局所的な変動を発生させ、回路の正常動作が不能となることによりこの領域内の回路を誤動作させたり、あるいはBBG動作時のホットエレクトロン発生に起因するBBG近傍でのメモリセルのデータの破壊を生じさせるという欠点があった。

【0014】複数のBBGを設けることにより上記欠点の解決を図った従来の第2の半導体集積回路は、チップ内での基板電位が共通なので、メモリの大容量化、大面積化および回路動作の高速化に伴い、BBGを複数に増やしても、大電流かつ高速回路動作部分の局所的かつ過渡的な基板電位の変動が生じ易いという問題は依然として解決せず、さらに、上記変動に対して、複数のBBGが一斉に動作を始め、消費電流の増加や、各BBGでのホットエレクトロンの発生によるメモリセルのデータ破壊の可能性は依然として存在するという欠点があった。

【0015】また、チップの大面積化に伴い、基板の容量及び抵抗が大きくなり時定数が増大するため、電源投入時に基板の時定数により基板電位の設定までの時間がかかり、基板電位が定まらないうちにチップが動作状態に入ると、基板に向かって異常電流が流れ込みむことにより基板電位が上昇し、ラッチアップが起こる可能性があるという欠点があった。

【0016】本発明の目的は、基板電位を安定化すると共に、電源投入時の異常電流の発生を抑圧した半導体集積回路を提供することにある。

【0017】

【課題を解決するための手段】本発明の半導体集積回路は、チップ上にこのチップに供給される第1の電源の電

圧とは別の基板電位を発生する基板電位発生回路と、前記基板電位の供給を受けてこの基板電位に保持され内部に所定の回路ブロックが形成されたウェルとを形成して成る半導体集積回路において、前記ウェルを複数のサブウェル又は複数のサブウェル群に分割し、この分割された複数のサブウェル又は複数のサブウェル群の各々毎に前記基板電位発生回路を備えて構成されている。

【0018】

【発明の実施の形態】次に、本発明の第1の実施の形態をレイアウト図で示す図1を参照すると、この図に示す本実施の形態の半導体集積回路は、半導体基板上の回路素子の基板電位を保持するウェルを4分割したP型のPウェル11~14と、Pウェル11~14の各々毎に設け各々選択的に制御する基板電位発生回路(BBG)21~24とを備える。

【0019】BBG21~24は、従来の技術で説明した図5に示すものとする。

【0020】次に、図1を参照して本実施の形態の動作について説明すると、Pウェル11~14内の回路は大電流かつ高速回路動作部分を含みこれによる基板キャリアの変動が大きいものとする。まず、Pウェル11は、大電流かつ高速回路動作部分がフルに動作し、他のPウェル12~14の大電流かつ高速回路動作部分が殆ど動作しないものとする。この場合、Pウェル11の基板電位を供給するBBG21の基板電位駆動信号S1の周波数を上げ、基板電位VS1の電流供給能力を上昇させて、Pウェル11内の基板電位(ウェル電位)の変動を抑圧する。Pウェル12~14は、内部回路の動作によるウェル電位変動がないので、各々のBBG22~24は、基板電位駆動信号S2~S4の周波数を降下させ、ウェル電位VS2~VS4の電流供給能力を低下させることにより、これらBBG22~24の消費電流を抑圧できる。また、これらPウェル12~14内で、回路動作がなく、ウェル電位に異常が生じないような場合は、各々のBBG22~24の基板電位駆動信号S2~S4の供給を停止し、動作を停止しても良い。

【0021】また、本実施の形態では、ウェルを複数の小ウェルに分割することにより、1つのBBGが分担する回路領域の容量C、抵抗Rを小さくでき、時定数を低減できるので、電源投入時のウェル電位の設定が早くなるので、電源投入時の異常電流を防止できる。

【0022】次に、本発明の第2の実施の形態を図1と共通の構成要素には共通の参照文字/数字を付して同様にレイアウト図で示す図2を参照すると、この図に示す本実施の形態の前述の第1の実施の形態との相違点は、2つのPウェル11、12及びPウェル13、14の各組に対しそれぞれ1個のBBG21A及びBBG23Aを備えることである。

【0023】BBG21A及びBBG23Aの各々の電流駆動能力は、第1の実施の形態のBBG21及びBB

G23より大きくすることが望ましい。

【0024】本実施の形態は、例えば、Pウェル11又は13内の回路が動作しているときはPウェル12又は14内の回路が休止しているような場合に有効である。4台配置した場合を示している。

【0025】次に、本発明の第3の実施の形態を図1と共通の構成要素には共通の参照文字／数字を付して同様にレイアウト図で示す図3を参照すると、この図に示す本実施の形態の前述の第1の実施の形態との相違点は、2つのPウェル11A及び12Aの各々に対しそれぞれ2個のBBG21B、22B及びBBG23B、24Bを備え、1つのウェル電位を2個のBBGで設定することである。

【0026】以上の他に、ウェルの分割方法やBBGの台数に関しては、例えば、8分割してその各々毎に計8個のBBG等、任意の場合についても実現出来ることは勿論である。

【0027】次に、ウェルの分割の方法の説明のため典型的なウェルの構造模式を断面図で示す図4を参照して、ウェルの製造方法について説明すると、まずフォトマスクを用いて燐の注入後に熱拡散し、レトログレードNウェル1を形成する。次にボロンをウェハ全面に注入し、さらに別のフォトマスクを用いて燐を注入し、Nウェル3、5を形成する。このとき、燐が注入されない領域はPウェル2、4、6として形成される。ここで、Pウェル4の底面は、レトログレードNウェル1で分離され外周はNウェル3、5で囲まれるので、このPウェル4は基板から独立分離したウェルとなる。

【0028】このPウェル4を、チップ内で上述のPウェル11～14等として複数個配置すると図1～図3に示すような平面パターンができあがる。

【0029】

【発明の効果】以上説明したように、本発明の半導体集積回路は、ウェルを複数のサブウェル又は複数のサブウェル群に分割し、その各々毎に基板電位発生回路(BBG)を備え、それぞれ独立のBBGを選択的に動作させることにより、動作回路を含むウェル内でのみBBGの電流駆動能力を上げ、非動作回路を含むウェル内ではBBGの電流駆動能力を低減出来るので、各ウェル内の電位を安定化すると共に、消費電流を抑圧できるという効果がある。

【0030】また、ウェルを小さく分割するため、各分割ウェルのウェル電位伝達時の時定数を小さくでき、電源投入時におけるウェル電位設定までの時間を短縮でき、ウェルの異常電流の発生を抑圧できるという効果がある。

【図面の簡単な説明】

【図1】本発明の半導体集積回路の第1の実施の形態を示すレイアウト図である。

【図2】本発明の半導体集積回路の第2の実施の形態を示すレイアウト図である。

【図3】本発明の半導体集積回路の第3の実施の形態を示すレイアウト図である。

【図4】本実施の形態の半導体集積回路のウェルの構造を模式的に示す断面図である。

【図5】基板電位発生回路(BBG)の一例を示す回路図である。

【符号の説明】

1 レトログレードNウェル

2, 6, 4, 11～14, 11A, 12A Pウェル

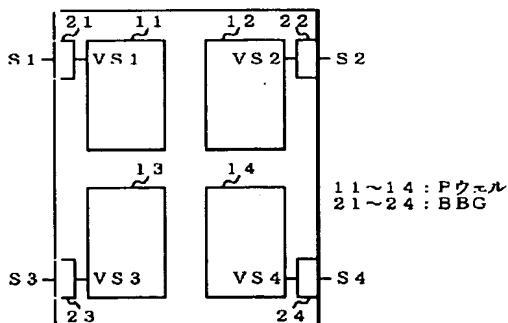
3, 5 Nウェル

21～24, 21A, 23A, 21B～24B 基板

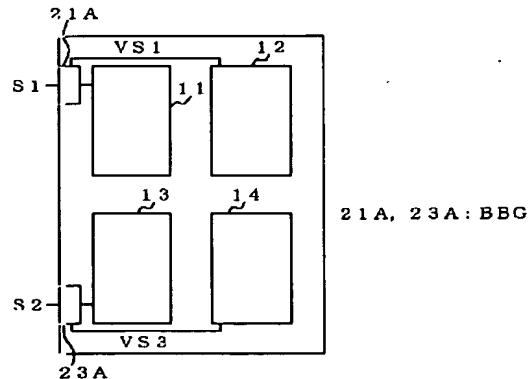
電位発生回路(BBG)

Q1, Q2 トランジスタ

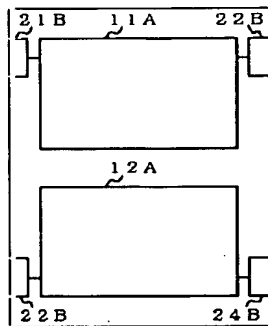
【図1】



【図2】

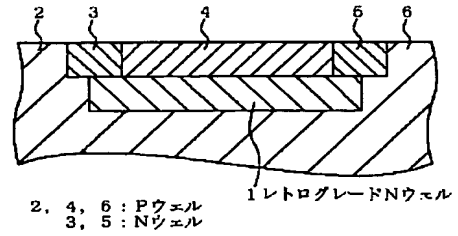


【図3】



11A, 12A: Pウェル  
21B~24B: BGG

【図4】



2, 4, 6: Pウェル  
3, 5: Nウェル

1 レトログレードNウェル

【図5】

